

PCT/JP03/16395

03. 3. 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

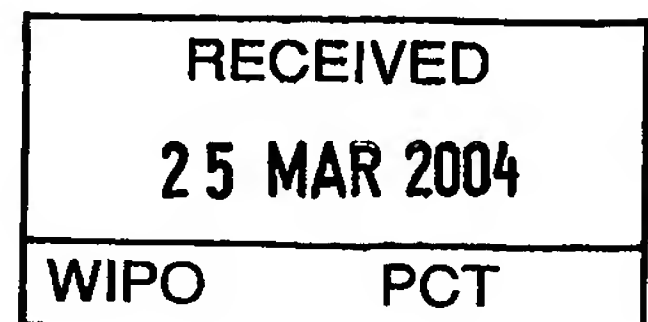
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 2 年 1 2 月 2 5 日

出 願 番 号
Application Number: 特 願 2 0 0 2 - 3 7 4 5 4 7
[ST. 10/C]: [J P 2 0 0 2 - 3 7 4 5 4 7]

出 願 人
Applicant(s): 住友化学工業株式会社

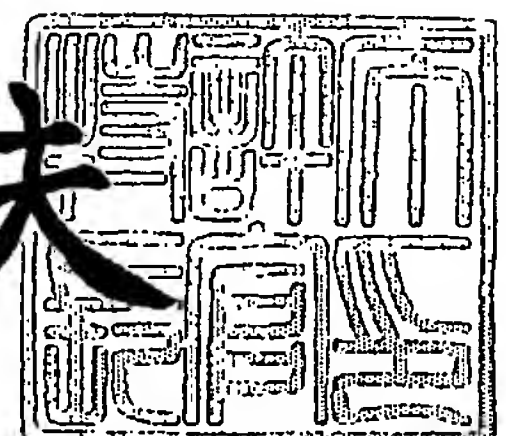


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 3 年 1 1 月 1 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 4 7 1 5

【書類名】 特許願
【整理番号】 155207
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/778
H01L 29/737

【発明者】

【住所又は居所】 千葉県袖ヶ浦市北袖 2 番地 1 住友化学工業株式会社内

【氏名】 長田 剛規

【発明者】

【住所又は居所】 千葉県袖ヶ浦市北袖 2 番地 1 住友化学工業株式会社内

【氏名】 中野 強

【発明者】

【住所又は居所】 千葉県袖ヶ浦市北袖 2 番地 1 住友化学工業株式会社内

【氏名】 井上 孝行

【特許出願人】

【識別番号】 000002093

【氏名又は名称】 住友化学工業株式会社

【代理人】

【識別番号】 100077540

【弁理士】

【氏名又は名称】 高野 昌俊

【手数料の表示】

【予納台帳番号】 060336

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0013944

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 化合物半導体エピタキシャル基板及びその製造方法

【特許請求の範囲】

【請求項 1】 InGaAs 層を歪チャネル層、 n 型不純物を含有する AlGaAs 層を電子供給層とする歪チャネル高電子移動度電界効果型トランジスタに用いられる化合物半導体エピタキシャル基板において、前記 InGaAs 層の室温での電子移動度が $8300 \text{ cm}^2 / \text{V} \cdot \text{s}$ 以上であることを特徴とする化合物半導体エピタキシャル基板。

【請求項 2】 前記歪チャネル層を構成する InGaAs 層の In 組成が 0.25 以上である請求項 1 記載の化合物半導体エピタキシャル基板。

【請求項 3】 前記歪チャネル層の上下に接して、膜厚が 4 nm 以上の GaAs 層が積層されている請求項 1 記載の化合物半導体エピタキシャル基板。

【請求項 4】 請求項 1、2 又は 3 記載の化合物半導体エピタキシャル基板を、MOCVD 法を用いて製造することを特徴とする化合物半導体エピタキシャル基板の製造方法。

【発明の詳細な説明】

【0001】

【特許文献 1】

特開平 6 - 2 1 1 0 6 号公報

【特許文献 2】

第 2 7 0 8 8 6 3 号特許公報

【非特許文献 1】

J. Crystal Growth, 27(1974)p.118

【非特許文献 2】

J. Crystal Growth, 32(1974)p.265

【非特許文献 3】

「化合物半導体・材料の量産段階突入②」～電子デバイス用化合物半導体材料～，乙木洋平，半導体産業新聞フォーラム「化合物半導体の全貌 2002-再

浮上に向けて動き出した光・高周波デバイスの胎動」，2002年6月5日，東京・御茶ノ水 明神会館

【0002】

【発明の属する技術分野】

本発明は、3－5族化合物半導体からなる歪チャネル高電子移動度電界効果型トランジスタ用の化合物半導体エピタキシャル基板およびその製造方法に関するものである。

【0003】

【従来の技術】

GaAs系3－5族化合物半導体を用いた電子素子は、電子移動度が高いため超高速、高周波動作が可能であるという特徴を生かして、超高速トランジスタへの応用が盛んに行われており、最近では、消費電力が少ないというメリットにより携帯電話等の高周波通信機器の各種主要部品として実用化されている。

【0004】

このような超高速トランジスタとしては、高電子移動度電界効果型トランジスタ（以下HEMTという）が広く知られている。HEMTは、HEMT(High Electron Mobility Transistor)、MODFET(Modulation Doped Transistor)、またはHJFET(Hetero-Junction Field Effect Transistor) などとも呼ばれる。

【0005】

HEMTは、電子を供給する電子供給層（ドープ層）と、電子が走行するチャネル層とを異なる材料で構成する選択ドープヘテロ構造を採る点が大きな特徴である。このヘテロ構造において、電子供給層内のn型不純物から供給された電子は、ヘテロ接合する材料の電子親和力の差によりヘテロ接合界面のチャネル側に形成されるポテンシャル井戸に溜まり、二次元電子ガスを形成する。このように、電子を供給するn型不純物は電子供給層内に、電子は高純度なチャネルの中にと、イオン化不純物と電子とが空間的に分離されているため、チャネル内の二次元電子ガスはイオン化不純物による散乱を受けず、高い電子移動度を示す。

【0006】

HEMTは、通常、所定の電子特性を有する各薄膜結晶層を所定の構造でGaAs単結晶基板上に積層成長させたエピタキシャル基板を用いて作製することができる。HEMTはチャネルが高い電子移動度を有することが重要であり、そのため、HEMT構造を形成する薄膜結晶層を単原子層オーダーで精密に制御することが要求されるので、HEMT構造を有するエピタキシャル基板の製造方法としては、分子線エピタキシャル成長法（以下MBE法という）あるいは有機金属熱分解法（以下MOCVD法という）が用いられている。

【0007】

MBE法は、真空蒸着法的一种であり、膜厚制御性や界面急峻性に優れている一方で、量産性が劣ると言われている。これに対し、MOCVD法は、エピタキシャル層を構成する原子種の有機金属化合物または水素化物を原料として用い、単結晶基板上で熱分解させて結晶成長を行なう方法であるため、原料として利用可能な物質の範囲が広く、エピタキシャル結晶の組成および膜厚を極めて広範囲にかつ精密に制御できるという特徴があり、大量の基板を再現性よく処理する目的に適した方法である。

【0008】

さらに、最近の急速なMOCVD法の技術革新は、不純物量の制御のみならず、この方法では難しいとされていた急峻なヘテロ界面や良好な面内均一性をも実現可能にした。実際、MOCVD法により作製したエピタキシャル基板は、HEMTの電子移動度の点において、MBE法により作製したものに比べて優るとも劣らない特性を示すまでになっており、工業的に広く用いられている。

【0009】

HEMTは、このように高い電子移動度を有する二次元電子ガスを利用した超高速のトランジスタであるので、HEMTの高性能化のためにはチャネル層の電子移動度は高ければ高いほど良い。そのため、最近では、電子輸送特性に優れていることに加えて、In組成に応じてエネルギーギャップを大幅に変えることができ、二次元電子を効果的に閉じ込めることができるなどの理由から、GaAsに代わってInGaAsがチャネル層の材料として用いられている。また、InGaAsに組み合わせる材料としてAlGaAsあるいはGaAsが知られてい

る。

【0010】

InGaAsは、In組成を高めると、それにつれて移動度が高くなる性質がある。これによりトランジスタを高性能化できるが、In組成を高くするとInGaAsの格子定数も大きくなり、電子供給層や基板材料と格子不整合を生じることになる。そこで、準安定な (pseudomorphic) 状態で結晶成長を行う方法が用いられている。これは、格子定数の異なる材料で格子不整合を伴う成長であっても、臨界膜厚と呼ばれる一定の膜厚以下であれば、格子は歪んで弾性変形するものの転位など格子の乱れがない良質な結晶を作製できるという性質を利用したものである。このようなInGaAs歪み層をチャンネル層として用いたHEMTは、歪みチャンネル高電子移動度電界効果型トランジスタ (pseudomorphic-HEMT) と呼ばれている (以下、p-HEMTという)。

【0011】

InGaAs層の臨界膜厚は、In組成および膜厚の関数として与えられることが知られており、例えば、GaAs層に対するInGaAs層の系では、非特許文献1および2に示される理論式のように表され、実験的にも概ね正しいことが確認されている。また、特許文献1では、高い移動度を有するp-HEMTを効率良く製造できるエピタキシャル基板として、この理論式で規定されるIn組成と膜厚の関係において、一定の関係式を用いてその範囲をさらに限定したエピタキシャル基板が開示されている。実際、結晶性の低下をきたすことなくエピタキシャル成長可能なInGaAs歪みチャンネル層として、In組成0.20、膜厚13nm程度のInGaAs層が実用化されている。

【0012】

また、さらに移動度を高めるためには、イオン化不純物による二次元電子の散乱をさらに小さくすることが有効であるので、電子供給層とチャンネル層との間に電子供給層と同じ材質、同じ組成でも不純物を添加しない層をスペーサ層として挿入することもある。例えば、特許文献2には、p-HEMT構造のチャンネル層に用いられるInGaAs歪み層とn-AlGaAs電子供給層の間にAlGaAs層とGaAs層からなるスペーサ層を挿入し、成長条件を最適化することに

より、二次元電子ガス濃度と、電子移動度を改善するようにした構成が開示されている。

【0013】

このように、歪み InGaAs 層をチャネル層とした p-HEMT において、チャネル層の In 組成を高くし、チャネル層と電子供給層またはスペーサ層とのバンドギャップの差を大きくとることにより、量子効果を効果的に作用させて多数の二次元電子を閉じ込めることができるので、電子濃度の向上と高移動度とを両立できるという長所がある。

【0014】

【発明が解決しようとする課題】

電子移動度は、電界効果型トランジスタの重要な性能指標であるオン抵抗、最大電流値あるいはトランスコンダクタンスといった諸特性を向上させる上で重要なパラメータであることはよく知られている。従って、電子移動度をさらに改善することにより、立ち上がり抵抗（オン抵抗）の低減を達成でき、これにより消費電力を低減できる。また、低消費電力化により発熱量を削減できるので、デバイスの高集積化が可能となることに加えて、チップサイズを小さくできるので、1枚のエピタキシャル基板から製造できるチップの数を増やすことができ、モジュール設計の自由度を高めることもできる。このような観点から、携帯電話等の各種携帯機器に用いられる p-HEMT の場合には、電子移動度のより一層の改善が望まれている。

【0015】

しかしながら、p-HEMT 構造を有するエピタキシャル基板においては、二次元電子ガス濃度と電子移動度とを同時に高くすることによりトランジスタの特性をさらに向上できるという観点から見ても、電子移動度はまだ満足できる値に達していない。例えば、非特許文献 3 に示されるように、p-HEMT 構造エピタキシャル基板においてこれまでに報告されている室温（300 K）におけるチャネル層での電子移動度の最高値は、二次元電子濃度 $2.06 \times 10^{12} / \text{cm}^2$ において $8170 \text{ cm}^2 / \text{V} \cdot \text{s}$ 、二次元電子濃度 $2.77 \times 10^{12} / \text{cm}^2$ において $7970 \text{ cm}^2 / \text{V} \cdot \text{s}$ 程度であった。

【0016】

二次元電子ガスの室温（300 K）での電子移動度は、結晶格子による散乱およびGaAs電子有効質量で決まると考えられている。そのため、歪みInGaAs層をチャネル層とした場合には、Inの添加により、電子の有効質量が減少し電子移動度が上がることが期待される反面、InとGaによる混晶散乱の増加により電子移動度が低下する懸念がある。さらに、電子の有効質量については、二次元電子ガス面に対して垂直な方向と水平な方向について異方性が生じるとされ、実用上重要な水平方向の有効質量については未だ報告例はなく、確かに電子の有効質量が下がり電子移動度が上がるという確証は何もないのが現状であった。

【0017】

一方、InP単結晶基板を用いてこれに格子整合させたInGaAsでは、早くから室温での電子移動度が $10000 \text{ cm}^2 / \text{V} \cdot \text{s}$ という値が報告されている。また、最近では、GaAs単結晶基板上において、InAlAsをバッファ層としIn混晶比を段階的に変化させることにより、バッファ層の格子定数をInPのそれに段階的に変化させ、InPの格子定数に近いバッファ層を形成する技術、いわゆるメタモルフィック技術が開発されている。この技術を用いて形成したバッファ層上に、InGaAs層をチャネルとする変調ドープ構造を形成することにより、 $9000 \text{ cm}^2 / \text{V} \cdot \text{s}$ を超える電子移動度が報告されている。すなわちチャネルに歪みのないInGaAsではその低い電子有効質量に見合った、GaAsを超える高い電子移動度が可能であったのである。

【0018】

このように、 $8200 \text{ cm}^2 / \text{V} \cdot \text{s}$ を超えるような高い電子移動度を有する高性能トランジスタを実現しようとする場合、InP単結晶基板を用いるか、あるいは上記のようにメタモルフィック技術によりGaAs単結晶基板上に特殊なバッファ層を積層する必要がある。その上で、InPと格子整合するInGaAs層をチャネル層とし、これに格子整合するInAlAs層を電子供給層として用いた変調ドープ系構造のエピタキシャル基板が必要となる。そのため、InP単結晶基板を用いる場合には原料コストが極めて高いものになってしまう。一方

、メタモルフィック技術を用いる場合でも厚膜のバッファ層を形成するので、製造コストが高くなるだけでなく、従来のGaAs系とは異なる新しい材料加工技術が必要となるという問題に加えて、バッファ層の結晶欠陥密度が高いため信頼性が低い等の問題も有している。

【0019】

そのため、電子供給層にn-AlGaAs層を用い、チャネル層に歪みInGaAs層を用いたp-HEMT構造エピタキシャル基板において、現在、報告されている値よりも、さらに改善された、高い二次元電子ガス濃度と高い電子移動度をあわせもつエピタキシャル基板が強く望まれている。

【0020】

本発明の目的は、従って、上述の各種要求性能を達成するために必要不可欠な高い電子移動度を有するp-HEMT構造のエピタキシャル基板およびその製造方法を提供することにある。

【0021】

【課題を解決するための手段】

本発明者らは、上記課題を解決するために鋭意検討を行なってきた結果、InGaAsチャネル層のIn組成と膜厚とを最適化し、さらに、InGaAsチャネル層とn-AlGaAs電子供給層の間に設けられるAlGaAs層とGaAs層からなるスペーサ層の膜厚を最適化した、p-HEMT構造のエピタキシャル基板を成長すれば、これまでに報告されたことのない高い電子移動度と高い二次元電子ガス濃度をあわせもつエピタキシャル基板を形成できることを見出し、これらの知見に基づいて本発明をなすに至ったものである。

【0022】

上記課題を解決するため、請求項1の発明によれば、InGaAs層を歪チャネル層、n型不純物を含有するAlGaAs層を電子供給層とする歪チャネル高電子移動度電界効果型トランジスタに用いられる化合物半導体エピタキシャル基板において、前記InGaAs層の室温での電子移動度が $8300\text{ cm}^2/\text{V}\cdot\text{s}$ 以上であることを特徴とする化合物半導体エピタキシャル基板が提案される。前記歪チャネル層において、室温での二次元電子ガス濃度は、 2.20×10^{12}

／ cm^2 以上とすることができる。

【0023】

請求項2の発明によれば、請求項1の発明において、前記歪チャンネル層を構成する InGaAs 層の In 組成が0.25以上である化合物半導体エピタキシャル基板が提案される。

【0024】

請求項3の発明によれば、請求項1の発明において、前記歪チャンネル層の上下に接して、膜厚が4 nm以上の GaAs 層が積層されている化合物半導体エピタキシャル基板が提案される。

【0025】

請求項4の発明によれば、請求項1、2および3記載の化合物半導体エピタキシャル基板を、MOCVD法を用いて製造することを特徴とする化合物半導体エピタキシャル基板の製造方法が提案される。

【0026】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態の一例につき詳細に説明する。

【0027】

図1は、本発明によるHEMT構造エピタキシャル基板の第1の実施例の断面構造を説明するための図である。図1において、1は単結晶基板である GaAs 単結晶基板、2～5はいずれも GaAs 単結晶基板1上に積層されたバッファ層である。ここでは、バッファ層2～5は、それぞれ200 nm厚の $i\text{-GaAs}$ 層、250 nm厚の $i\text{-Al}_{0.25}\text{Ga}_{0.75}\text{As}$ 層、250 nm厚の $i\text{-GaAs}$ 層、200 nm厚の $i\text{-Al}_{0.25}\text{Ga}_{0.75}\text{As}$ 層として積層されている。

【0028】

6は、4 nm厚の $n\text{-Al}_{0.24}\text{Ga}_{0.76}\text{As}$ 層として形成され、 n 型不純物を $3 \times 10^{18} / \text{cm}^3$ ドープしたバック側電子供給層であり、バック側電子供給層6の上には、バック側スペーサ層7、8がこの順序で積層されている。ここでは、バック側スペーサ層7は3 nm厚の $i\text{-Al}_{0.24}\text{Ga}_{0.76}\text{As}$ 層、バック側スペーサ層8は6 nm厚の $i\text{-GaAs}$ 層となっている。9は二次元電子を流すため

二次元電子ガスが形成されるチャネル層であり、7.5 nm厚の $i\text{-In}_{0.30}\text{Ga}_{0.70}\text{As}$ 層から成っている。

【0029】

10、11はそれぞれがフロント側スペーサ層であり、フロント側スペーサ層10は6 nm厚の $i\text{-GaAs}$ 層、フロント側スペーサ層11は3 nm厚の $i\text{-Al}_{0.24}\text{Ga}_{0.76}\text{As}$ 層である。

【0030】

12はフロント側電子供給層で、10 nm厚の $n\text{-Al}_{0.24}\text{Ga}_{0.76}\text{As}$ 層として形成され、 n 型不純物が $3 \times 10^{18}/\text{cm}^3$ の濃度にドーピングされている。13、14はいずれもアンドープ層で、それぞれ、3 nm厚の $i\text{-Al}_{0.22}\text{Ga}_{0.78}\text{As}$ 層、20 nm厚の $i\text{-GaAs}$ 層として積層されている。

【0031】

図1に示したエピタキシャル基板は以上のように積層成長されているので、バック側電子供給層6からバック側スペーサ層7、8を介してチャネル層9へ電子が供給されると共に、フロント側電子供給層12からもフロント側スペーサ層10、11を介してチャネル層9へ電子が供給される。この結果チャネル層9には、高濃度の二次元電子ガスが形成される。

【0032】

ここで、チャネル層9の In 組成を0.25以上の0.3とし、これに加えてチャネル層9の膜厚を7.5 nmとしてチャネル層9の In 組成と膜厚との最適化を図っているので、チャネル層9内における二次元電子ガス濃度を高めることができる上に、二次元電子ガスの電子移動度を従来に比べて格段に向上させることができる。この結果、チャネル層9における室温(300 K)での二次元電子ガス濃度を $2.20 \times 10^{12}/\text{cm}^2$ 以上としても、そのときの電子移動度を少なくとも $8300 \text{ cm}^2/\text{V} \cdot \text{s}$ 以上という値にすることができる。

【0033】

このように、図1に示す実施の形態では、 InGaAs 歪みチャネル層であるチャネル層9の In 組成を0.3とした場合を例に説明したが、種々の In 組成について、チャネル層膜厚が最適となるように調整しながら、 In 組成とチャネ

ルの電子移動度の関係を調べた結果、図 2 に示すような関係が得られた。この場合、チャネル層 9 の膜厚は、チャネル層 9 の I_n 組成を用いて非特許文献 1 および 2 の理論式により求めた臨界膜厚の 80% 程度の厚さとした。チャネル層 9 における I_n の組成を 0.25 以上とした時、チャネル層 9 の膜厚は 10.5 nm 以下である。また、図 2 に示した各データ点での二次元電子濃度は、 $(2.2 \sim 2.4) \times 10^{12} / \text{cm}^2$ に調整している。

【0034】

以上により、ノンドープ $InGaAs$ 層のチャネル層および n 型不純物を含有する $AlGaAs$ 層の電子供給層をエピタキシャル成長させた p -HEMT 構造において、チャネル層における I_n の組成を 0.25 以上としかつその膜厚を最適化することにより、二次元電子ガスの濃度を高めると共にチャネル層における室温 (300 K) での二次元電子ガスの移動度を $8300 \text{ cm}^2 / \text{V} \cdot \text{s}$ 以上とすることができることが確認できた。ここで、チャネル層の上下に接して積層した $GaAs$ 層の膜厚は、4 nm 以上であれば良いことが確かめられた。

【0035】

図 1 に示した層構造のエピタキシャル基板を作製する方法について説明する。まず、 $GaAs$ 単結晶基板 1 を用意する。 $GaAs$ 単結晶基板 1 は高抵抗の半絶縁性 $GaAs$ 単結晶基板であり、LEC (Liquid Encapsulated Czochralski) 法、VB (Vertical Bridgman) 法、VGF (Vertical Gradient Freezing) 法等で製造された $GaAs$ 基板が好適であり、いずれの方法で製造された場合であっても、1 つの結晶学的面方位から 0.05° 乃至 10° 程度の傾きをもった基板を用意する。

【0036】

上述の如く用意した $GaAs$ 単結晶基板 1 の表面を、脱脂洗浄、エッチング、水洗、乾燥処理した後、結晶成長炉の加熱台上に載置する。炉内を高純度水素で充分置換した後、加熱を開始する。適度な温度に安定したところで炉内に砒素原料を導入する。 $GaAs$ 層を成長する際には、続いてガリウム原料を導入する。また、 $AlGaAs$ 層を成長する際には、砒素原料の導入に加えて、ガリウム原料およびアルミニウム原料を導入する。 $InGaAs$ 層を成長する際には、砒素

原料の導入に加えて、ガリウム原料およびインジウム原料を導入する。各原料の供給量と時間を制御することにより、所望の積層構造を成長していく。最後に、各原料の供給を停止して結晶成長を停止し、冷却後、図1に示すように積層したエピタキシャル基板を炉内から取り出して結晶成長を完了する。結晶成長時の基板温度は、通常、およそ500℃から800℃である。

【0037】

図1に示した層構造のエピタキシャル基板は、MOCVD法を用いて作製することができる。MOCVD法を用いることの利点は、エピタキシャル層を構成する原子種の有機金属化合物または水素化物を原料として用いることができることである。

【0038】

実際には、エピタキシャル成長時の砒素原料として、一般に三水素化砒素（アルシン）を用いることが多いが、アルシンの水素を炭素数が1から4のアルキル基で置換したアルキルアルシンを使用することもできる。ガリウム、アルミニウム、およびインジウムの原料としては、各金属原子に炭素数が1から3のアルキル基もしくは水素が結合したトリアルキル化物もしくは三水素化物が、一般に用いられる。

【0039】

n型ドーパントとしては、シリコン、ゲルマニウム、スズ、硫黄、セレン等の水素化物または炭素数が1から3のアルキル基を有するアルキル化物を用いることができる。

【0040】

【実施例】

以下、本発明について、実施例と比較例とをもとに、より詳細に説明するが、本発明はこれに限定されるものではない。

【0041】

（実施例1）

図1に示した層構造のエピタキシャル基板を減圧バレル型MOCVD炉を用い、以下に説明するようにして作製した。GaAs単結晶基板1として、VGF法

で製造された半絶縁性 GaAs 単結晶基板を用意し、GaAs 単結晶基板 1 上にエピタキシャル成長した。3 族の原料としては、トリメチルガリウム (TMG)、トリメチルアルミニウム (TMA) およびトリメチルインジウム (TMI) を使い、5 族の原料としては、アルシン (AsH_3) を用いた。n 型ドーパントとしては、シリコン (Si) を用いた。原料のキャリアガスとしては、高純度水素を用い、反応炉内圧力 0.1 atm、成長温度 650 °C、成長速度 3 ~ 1 $\mu\text{m/h}$ の成長条件でエピタキシャル成長を行なった。

【0042】

電子を走行させるチャネル層 9 には、In 組成 0.30、膜厚 7.5 nm の歪 InGaAs 層をエピタキシャル成長した。

【0043】

チャネル層 9 に用いた InGaAs 層の上下には、スペーサ層 8、10 として i-GaAs 層を上下各 6.0 nm ずつ、エピタキシャル成長した。

【0044】

上記のようにして製造して得られたエピタキシャル基板において、Van der Pauw 法によるホール測定を行なった結果、室温 (300 K) での二次元電子ガス濃度が $2.28 \times 10^{12} / \text{cm}^2$ 、室温 (300 K) での電子移動度が 8990 $\text{cm}^2 / \text{V} \cdot \text{s}$ 、77 K での二次元電子ガス濃度が $2.59 \times 10^{12} / \text{cm}^2$ 、77 K での電子移動度が 35600 $\text{cm}^2 / \text{V} \cdot \text{s}$ と、これまでに報告されたことのない良好な値を得た。また、このときの構造において、Al ショットキー電極を用いた CV 測定を行なった結果、残留キャリア濃度が $1 \times 10^{15} / \text{cm}^3$ となるときのピンチオフ電圧は -1.93 V であった。

【0045】

(実施例 2)

図 3 に示した層構造のエピタキシャル基板を実施例 1 の場合と同様に、MOCVD 法により作製した。図 3 に示したエピタキシャル基板において、21 は半絶縁性 GaAs 単結晶基板、22 ~ 25 はバッファ層、26 はバック側電子供給層、27 ~ 28 はバック側スペーサ層、29 はチャネル層、30 ~ 31 はフロント側スペーサ層、32 はフロント側電子供給層、33 はアンドープ AlGaAs 層

、34はアンドープGaAs層である。なお、各層の組成及び膜厚は図2中に示した通りである。

【0046】

図1と図3とを比較して判るように、実施例2では、In組成0.35、膜厚5.5nmの歪InGaAs層をエピタキシャル成長した点で実施例1と異なっている。その他の各層の形成については、実施例1の場合と同様である。

【0047】

このようにして得られたエピタキシャル基板について、Van der Pauw法によるホール測定を行なった結果、室温(300K)での二次元電子ガス濃度が $2.22 \times 10^{12} / \text{cm}^2$ 、室温(300K)での電子移動度が $8950 \text{ cm}^2 / \text{V} \cdot \text{s}$ 、77Kでの二次元電子ガス濃度が $2.22 \times 10^{12} / \text{cm}^2$ 、77Kでの電子移動度が $33000 \text{ cm}^2 / \text{V} \cdot \text{s}$ と、良好な値を得た。また、上述の構造において、Alショットキー電極を用いたCV測定を行なった結果、残留キャリア濃度が $1 \times 10^{15} / \text{cm}^3$ となるときのピンチオフ電圧は、-1.75Vであった。

【0048】

(比較例)

p-HEMT構造エピタキシャル基板において、チャネル層に用いられる歪みInGaAs層のIn組成および膜厚と、このチャネル層の上下に積層されるi-GaAs層の膜厚だけを変えた図4に示す構造のエピタキシャル基板を、比較例として同じくMOCVD法を用いて作製した。図4に示したエピタキシャル基板において、41は半絶縁性GaAs単結晶基板、42～45はバッファ層、46はバック側電子供給層、47～48はバック側スペーサ層、49はチャネル層、50～51はフロント側スペーサ層、52はフロント側電子供給層、53はアンドープAlGaAs層、54はアンドープGaAs層である。なお、各層の組成及び膜厚は図3中に示した通りである。

【0049】

図3と図4とを比較して判るように、比較例では、チャネル層49のIn組成を0.20とし、且つその膜厚を13.5nmとした点、及びチャネル層49の

上下に設けたスペーサ層として働く i -GaAs 層の膜厚をそれぞれ 2.0 nm とした点においてのみ図 3（実施例 2）の構成と異なっている。なお、図 4 に示されているこの比較例の構造は、従来からよく知られている p -HEMT 構造である。

【0050】

このようにして得られたエピタキシャル基板について、Van der Pauw 法によるホール測定を行なった結果、室温（300 K）での二次元電子ガス濃度は $2.55 \times 10^{12} / \text{cm}^2$ 、室温（300 K）での電子移動度は $7200 \text{ cm}^2 / \text{V} \cdot \text{s}$ 、77 K での二次元電子ガス濃度は $2.78 \times 10^{12} / \text{cm}^2$ 、77 K での電子移動度は $21900 \text{ cm}^2 / \text{V} \cdot \text{s}$ と、従来から報告されている程度の値しか得られなかった。また、このときの構造において、Al ショットキー電極を用いた CV 測定を行なった結果、残留キャリア濃度が $1 \times 10^{15} / \text{cm}^3$ となるときのピンチオフ電圧は、-2.12 V であった。

【0051】

実施例および比較例のエピタキシャル基板の層構造は、Hall 測定による移動度評価、CV 測定によるしきい値電圧測定などの 2 次元電子ガス特性評価のためのテスト構造である。FET デバイスの作製のための実際のエピタキシャル基板の層構造では、実施例および比較例のエピタキシャル基板の層構造の第 14 層の n -ドープ GaAs 層の膜厚を厚くし、さらに、ソース電極及びドレイン電極とオーミックコンタクトをとるためのコンタクト層を積層したものとなっている。コンタクト層には、 $3 \times 10^{18} \sim 5 \times 10^{18} / \text{cm}^3$ 程度にシリコンをドーピングした n -GaAs 層を 100 nm 程度積層したものを通常用いる。しかし、本発明による移動度向上の効果は、コンタクト層の成長および FET デバイス作製のためのプロセスにより損なわれることはない。実施例および比較例のエピタキシャル基板特性評価用テスト構造においてのみならず、FET デバイスのためのエピタキシャル基板構造においても、本発明による移動度向上の効果は有効である。

【0052】

これまで、InP 基板を用いてこれに格子整合させた InGaAs 層をチャネル層とした系、または GaAs 基板上にメタモルフィック技術により InP の格

子定数に近いバッファ層を形成した上でこれに格子整合する InGaAs 層をチャンネル層とした系でしか得られなかった高い電子移動度が、本発明により初めて GaAs 基板上の歪み InGaAs チャンネル系で得られたことは非常にインパクトが大きい。すなわち、高価で取扱いが難しい InP 基板あるいは特殊なメタモルフィックバッファ技術を用いずに済むこと、また電子供給層あるいはバッファ層は基本的に従来の $p\text{-HEMT}$ と同様であることから、従来のデバイス加工技術をそのまま適用できる点において、その工業的なメリットは極めて大きいものである。

【0053】

また応用上も電子移動度と密接に相関する電子速度に支配されるため、 InP 系あるいはメタモルフィック系でなければ実現が難しいとされている数十 GHz ～数百 GHz におよぶ超高周波帯での各種高速デバイスとして、本発明による GaAs 基板を用いた $p\text{-HEMT}$ が用いうる可能性を拓いたという点で多大なるメリットをもたらすものである。

【0054】

【発明の効果】

本発明によれば、上述の如く、電子素子作製時にも有利となるような、これまでに報告されたことのない良好な特性を有する $p\text{-HEMT}$ （歪チャンネル高電子移動度電界効果型トランジスタ）構造の化合物半導体エピタキシャル基板を提供することができる。

【図面の簡単な説明】

【図1】

本発明の実施例1に係るエピタキシャル基板の層構造図。

【図2】

本発明の効果を表すための実験結果を示すグラフであって、チャンネル層の In 組成と室温におけるチャンネル層の電子移動度の関係を示したグラフ。

【図3】

本発明の実施例2に係るエピタキシャル基板の層構造図。

【図4】

本発明の比較例に係るエピタキシャル基板の層構造図。

【符号の説明】

- 1、 21、 41 半絶縁性GaAs単結晶基板
- 2～5、 22～25、 42～45 バッファ層
- 6、 26、 46 バック側電子供給層
- 7～8、 27～28、 47～48 バック側スペーサ層
- 9、 29、 49 チャネル層
- 10～11、 30～31、 50～51 フロント側スペーサ層
- 12、 32、 52 フロント側電子供給層
- 13、 33、 53 アンダープAlGaAs層
- 14、 34、 54 アンダープGaAs層

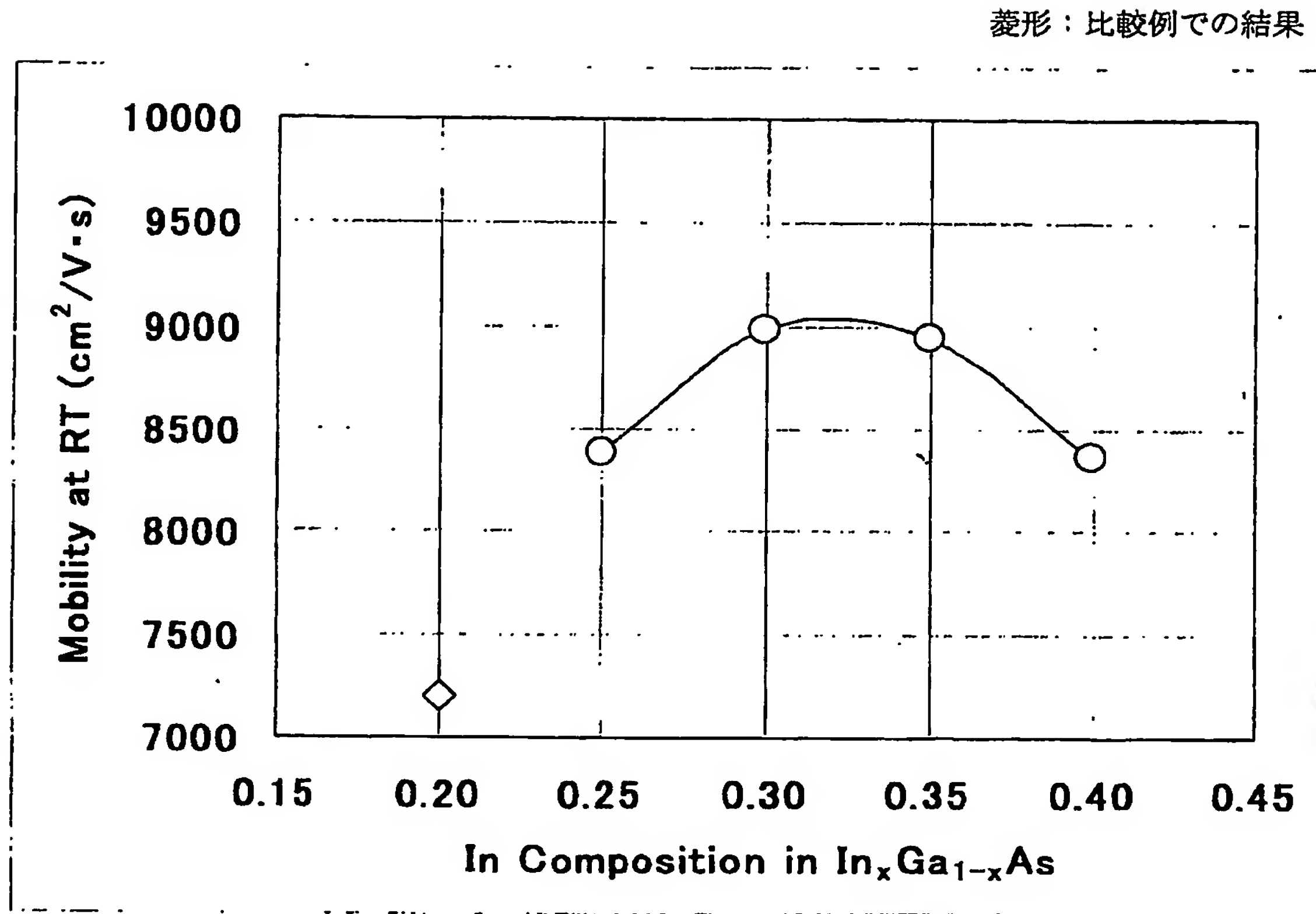
【書類名】

図面

【図 1】

i- GaAs 20nm	14
i- Al _{0.22} Ga _{0.78} As 3nm	13
n- Al _{0.24} Ga _{0.76} As 10nm 3E18/cm ³	12
i- Al _{0.24} Ga _{0.76} As 3nm	11
i- GaAs 6nm	10
i- In _{0.80} Ga _{0.70} As 7.5nm	9
i- GaAs 6nm	8
i- Al _{0.24} Ga _{0.76} As 3nm	7
n- Al _{0.24} Ga _{0.76} As 4nm 3E18/cm ³	6
i- Al _{0.25} Ga _{0.75} As 200nm	5
i- GaAs 250nm	4
i- Al _{0.25} Ga _{0.75} As 250nm	3
i- GaAs 200nm	2
GaAs 単結晶基板	1

【図 2】



【図 3】

i- GaAs 20nm	34
i- Al _{0.22} Ga _{0.78} As 3nm	33
n- Al _{0.24} Ga _{0.76} As 10nm 3E18/cm ³	32
i- Al _{0.24} Ga _{0.76} As 3nm	31
i- GaAs 6nm	30
i- In _{0.35} Ga _{0.65} As 5.5nm	29
i- GaAs 6nm	28
i- Al _{0.24} Ga _{0.76} As 3nm	27
n- Al _{0.24} Ga _{0.76} As 4nm 3E18/cm ³	26
i- Al _{0.25} Ga _{0.75} As 200nm	25
i- GaAs 250nm	24
i- Al _{0.25} Ga _{0.75} As 250nm	23
i- GaAs 200nm	22
GaAs 単結晶基板	21

【図 4】

i- GaAs 20nm	54
i- Al _{0.22} Ga _{0.78} As 7nm	53
n- Al _{0.24} Ga _{0.76} As 10nm 3E18/cm ³	52
i- Al _{0.24} Ga _{0.76} As 3nm	51
i- GaAs 2nm	50
i- In _{0.20} Ga _{0.80} As 13.5nm	49
i- GaAs 2nm	48
i- Al _{0.24} Ga _{0.76} As 3nm	47
n- Al _{0.24} Ga _{0.76} As 4nm 3E18/cm ³	46
i- Al _{0.25} Ga _{0.75} As 200nm	45
i- GaAs 250nm	44
i- Al _{0.25} Ga _{0.75} As 250nm	43
i- GaAs 200nm	42
GaAs 単結晶基板	41

【書類名】 要約書

【要約】

【課題】 高い電子移動度を有する p-H E M T 構造のエピタキシャル基板およびその製造方法を提供すること。

【解決手段】 I n G a A s 層をチャネル層 9、n 型不純物を含有する A l G a A s 層を電子供給層 6、1 2 とする歪チャネル高電子移動度電界効果型トランジスタに用いられる化合物半導体エピタキシャル基板において、チャネル層 9 を構成する I n G a A s 層の I n 組成を 0. 2 5 以上とし、チャネル層 9 の I n 組成と膜厚とを最適化することにより、室温でのチャネル層 9 の電子移動度を $8300\text{ cm}^2/\text{V}\cdot\text{s}$ 以上とする。チャネル層 9 の上下に接して、膜厚が 4 nm 以上の G a A s 層 8、1 0 を積層してもよい。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 7 4 5 4 7
受付番号	5 0 2 0 1 9 6 3 2 8 7
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 1 月 6 日

< 認定情報・付加情報 >

【提出日】	平成14年12月25日
-------	-------------

次頁無

特願 2002-374547

出願人履歴情報

識別番号

[000002093]

1. 変更年月日

1990年 8月28日

[変更理由]

新規登録

住所

大阪府大阪市中央区北浜4丁目5番33号

氏名

住友化学工業株式会社